

カオスから脳機能に迫る集積システム

森江 隆

1 はじめに

よく知られているように、今のデジタルコンピュータはクロック信号に同期した 0/1 のデジタル信号により情報処理を行うので、信号値も時間刻みも離散的である。一方、生体の脳はニューロン（神経細胞）の集合体であり、その動作は基本的にアナログ的で、信号値も時間も連続的である。ただし、ニューロン間を行き来する信号はスパイクと呼ばれるほぼ一定の形状をしたパルス信号である。多数のスパイク信号がシナプスと呼ばれる接続部で重み付けされ、その影響がニューロン内で加算される。つまり、ニューロン内ではアナログの積和演算がなされ、ニューロン間では非同期のデジタルパルスが使われていると考えることができる。この意味で、生体はデジタルとアナログの両方の性質を都合よく利用しているともいえる。

さて、デジタルコンピュータでアナログ演算に基づく脳の機能は完全に模擬できるだろうか？ デジタル方式でもビット数を増やせば任意の演算精度が得られるが、それでも整数演算であることには変わらない。一方、アナログ演算とは実数演算のことである。脳型情報処理を考えるときに、この違いは重要ではないとする立場の人と、アナログ性が本質的に重要なのだと考える立場の人に分かれる。後者の論拠の一つが、脳の中ではカオスやノイズが情報処理に有効に利用されているという生理学的知見である。カオスは原理的にデジタル演算では再現できない現象である。ただし、カオスやノイズが我々の高度な知的情報処理に「必須な」ものかどうかは今のところわかっていない。生体素子は特性ばらつきが大きく、動作振幅が極めて小さいため、やむを得ずこれらの現象を使っているだけなのかもしれない。しかし、もしカオスやノイズ利用が本質的なものであるならば、人間の高度な精神活動を含めた知的情報処理をデジ

タルコンピュータで実現することは困難だということになる。

私は個人的には、カオスやノイズが脳の情報処理において本質的であってほしい（人間の脳がデジタルコンピュータで置き換えられるはずがない！）と考える立場であり、知的情報処理をデジタルコンピュータ上の整数演算ではなく、物理的実在としてのアナログ回路上で実現することを目指している。とはいえ、これで人の高次機能を真似ようというのは遠大なテーマであり、10年や20年で答えが出るとも思えない。また、現状のLSI技術ないしは現状考えつく近未来のナノテク技術を用いても、生体のニューロン・ネットワークの極めて限られた機能しか実現できないことは確かである。それでも、まずはできることから始めて、社会に役立つ結果が出れば良いであろう。ここではそのささやかな第一歩を紹介する。

2 パルス変調方式に基づくアナログ・デジタル（AD）融合回路アーキテクチャ

現在主流の集積回路技術は完全なデジタル方式か、完全なアナログ方式に分かれており、後者はA/D変換器や無線回路などごく限られた分野でのみ使われている。

デジタル方式はトランジスタをスイッチとしてのみ用いており、ノイズの影響を受けにくく、制御性、拡張性が高い。一方、アナログ回路では、トランジスタのアナログ的な特性を利用して、電圧方向または電流方向にアナログ情報を表現する。この方式はデジタル方式に比べてノイズに弱い、制御性が低いという弱点がある。

そこで、生体の神経系を真似て、内部ではアナログ演算を行い、信号伝搬ではデジタル的なパルスを用いる方式を考えた。これにより、信号伝搬時のノイズの影響は大幅に低減できる。我々は、このパルスを用いた方式を「アナログ・デジタル

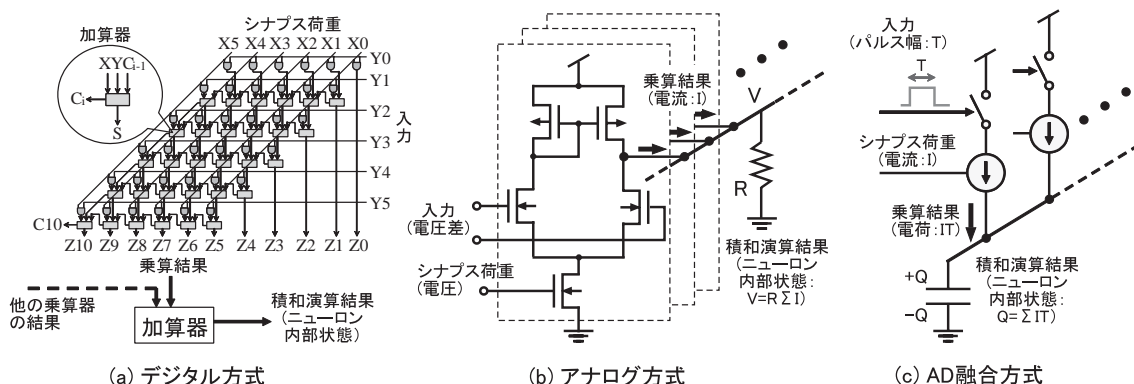


図 1: 各回路方式での積和演算回路の例

(AD)融合回路アーキテクチャ」と名付けている。これは一つの回路ブロックまたは信号自体にアナログとデジタルの機能を同時に併せ持つという意味である。

先にも述べたように、脳型コンピューティングまたはニューラルネットワークでは、積和演算が必須だが、AD 融合方式ではそれをパルス幅変調 (PWM) 信号でスイッチされる電流源により効率的にかつ低電力で実現する。図 1 に示すように、積和演算はデジタル方式では極めて多くの素子が必要とするが、我々の方式ではアナログ方式と同様に数個の素子で実現でき (回路面積はデジタルの約 1/100)、コンパクトな回路が作れることから、チップ上に多くの積和演算回路を搭載できる。処理速度が遅いのが欠点だが、並列化によりトータルの演算性能をデジタル方式と同程度にしても消費電力は 2 桁以上小さくすることができる。

さらに、我々は PWM またはパルス位相変調 (PPM) 信号を用いて、任意の非線形変換を効率よく実現する回路構成を考案した。これにより任意の非線形ダイナミクスを実現する LSI が可能になる。ここでは、その一例として我々が開発した任意カオス生成回路を紹介する。

3 任意カオス生成回路

カオスとは、決定論的な方程式で記述される系の出力が一見ランダムに見えるという奇妙な現象である。例えば、(1) 式で表されるようなロジスティック写像と呼ばれる離散時間ダイナミクスを

考えよう。

$$x(n+1) = ax(n)[1-x(n)] \quad (1)$$

ただし、 n は時間ステップを表す整数、 a は定数 ($0 < a < 4$) である。ここで、 a が 4 に近くなると、 $x(n)$ は一見ランダムな時系列になってしまう。この現象は実数の演算で生じるものなので、デジタル回路で (1) 式の計算を行っても本質的にカオスにはならない。つまり、カオスの特性を出すにはアナログ回路を用いなければならない。(現実のアナログ回路ではノイズが含まれるので、やはり数学的に厳密なカオスは生成できないのだが、自由度の高い系ではノイズの影響は小さくなるので、情報処理では問題にならないのでは、と予想されている)。

しかし、通常のアナログ回路では不満足な点がある。カオスを自在に扱う非線形ダイナミカルシステムを構築するには、非線形変換を自在に実現できる VLSI ハードウェアが必要になるが、アナログ回路で実現できる非線形性はデバイスの物理的特性や回路構成に強く依存しているため、任意の特性を実現することができないのである。

このように現状のデジタル、アナログ、どちらの方式も任意のカオスを生成するには適していない。そこで、われわれはパルス変調信号を利用する原理を考案した。

その原理に基づいて開発したのが、任意の 1 次元カオス信号を生成する CMOS 回路である (図 2) ¹⁾。この回路は時間領域でのアナログ演算により離散時間・連続状態のダイナミクスを実行し、所望のダイナミクスに従う PWM 信号と PPM 信号の

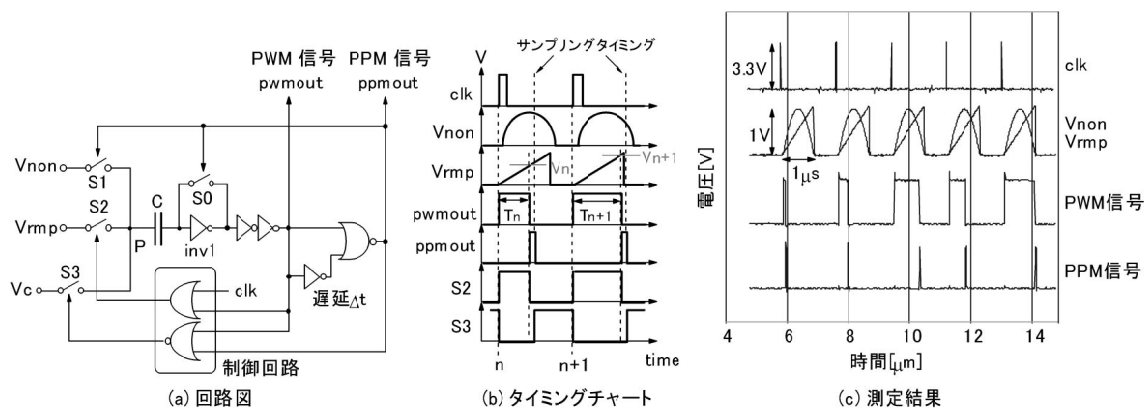


図 2: AD 融合方式任意カオス生成回路

両方を同時に出力する。この回路はクロック信号 (clk) により同期的に動作する。外部から供給する任意の非線形電圧波形 (V_{non}) を、時間ステップ n での PPM 信号で決まる時刻でサンプリングし、その電圧値をキャパシタに保持する。これにより、電圧波形という時間の関数を PPM-電圧変換の変換関数に焼き直すことができる。電圧値は線形に変化するランプ電圧 (V_{rmp}) と比較することにより PWM 信号に変換し、さらに PPM 信号に変換して、時間ステップ $n+1$ の信号とする。こうして、PPM-アナログ電圧-PWM-PPM という形で変換が完結する。電圧波形 V_{non} に例えば (1) 式で使われたロジスティック関数を用いれば、この回路を繰り返し動作させて、カオス信号を生成することができる (図 2 (c))。

多数のカオス回路をチップ上に集積するときでも、非線形電圧波形生成器はチップ上に 1 個だけ用意すればよく、それを多くのカオス生成回路で共有して用いればよい。この回路は主に、キャパシタとスイッチと CMOS 論理ゲートから構成されているので、CMOS デバイスの微細化に伴い高集積化が期待できる。0.6 μ m ルールで設計した場合、回路面積は約 100 μ m 角以下であった。また出力は PWM/PPM 信号なので、デジタル回路との整合性も優れている。

さらに我々は、このカオス回路をノイズ源としてチップ上に 400 個集積し、ノイズを利用した連想処理チップも設計・試作している²⁾。

4 おわりに

AD 融合方式により、図 1(c) で示したシンプルな構成の積和演算回路と、図 2(a) で示した非線形変換・カオス生成の回路原理を利用すれば、任意の次元/複雑度をもつ非線形ダイナミカルシステムを構築できる。さらに、パルス伝送の利点も生かせるため、カオスやノイズを利用した生体の神経系を模擬した集積システムを構築するのに適している。今後、実世界の課題に適用可能な LSI を設計していく予定である。

文献

- 1) 第 3 回 LSI IP デザインアワード IP 賞。詳細は <http://ne.nikkeibp.co.jp/award/papers/pdf4.pdf>
- 2) T. Yamanaka, et al., IEICE Trans. Electronics, E84-C, 1723-1729, (2001)